

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-036234  
 (43)Date of publication of application : 07.02.1997

---

(51)Int.CI. H01L 21/82

---

(21)Application number : 08-021898 (71)Applicant : TOSHIBA CORP  
 (22)Date of filing : 15.01.1996 (72)Inventor : YONENAKA KAZUICHI

---

(30)Priority

Priority number : 07116677 Priority date : 16.05.1995 Priority country : JP

---

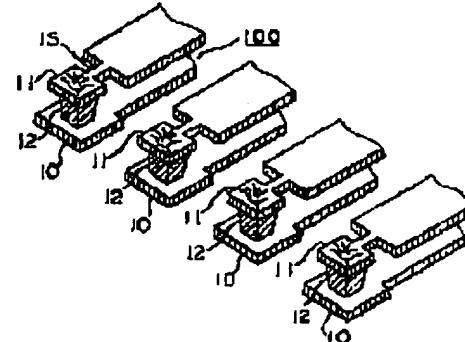
**(54) SEMICONDUCTOR DEVICE AND FUSE CUTTING METHOD**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a semiconductor device which is constituted to secure a sufficiently large design margin in the device, to make the occupying area of the device on a chip smaller, and to suppress the occurrence of faults caused by the electrical continuity of a remaining film and a fuse cutting method.

**SOLUTION:** The fuse 100 used in a semiconductor device is composed of a plurality of mutually connected fuse elements 10 and 11 and the fuse 10 is cut by blowing the contact section 12 of the elements 10 and 11. The contact section 12 is arranged inside a fuse window constituted of the opening of an insulating protective film formed on a semiconductor substrate and, at the time of blowing the contact section 12, the section 12 is irradiated with a laser beam through the fuse window.

Therefore, the fuse 100 in which the second fuse element 11 is arranged on the fuse element 10 is hardly cut insufficiently, because the contact section 12 can be easily blown with the laser beam.




---

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-36234

(43) 公開日 平成9年(1997)2月7日

(51) Int.Cl.\*

H 01 L 21/82

識別記号

庁内整理番号

F I

H 01 L 21/82

技術表示箇所

F CI-23

審査請求 未請求 請求項の数23 FD (全 14 頁)

(21) 出願番号

特開平8-21898

(22) 出願日

平成8年(1996)1月15日

(31) 優先権主張番号 特願平7-116677

(32) 優先日 平7(1995)5月16日

(33) 優先権主張国 日本 (JP)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 米中 一市

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

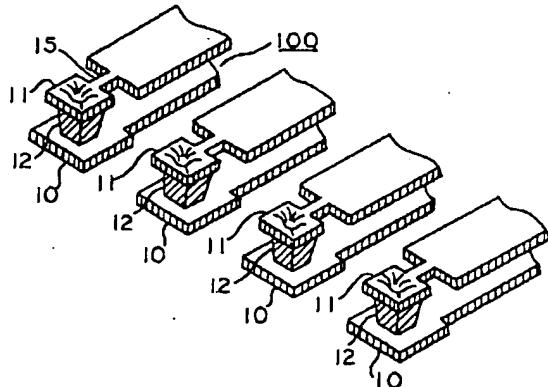
(74) 代理人 弁理士 竹村 寿

(54) 【発明の名称】 半導体装置およびヒューズの切断方法

(57) 【要約】

【課題】 設計マージンが十分に確保され、チップ上の占領面積が小さく、また残膜がもたらす電気的導通による不良の発生を抑えた半導体装置及びヒューズの切断方法を提供する。

【解決手段】 半導体装置内のヒューズ100は、互に接続された複数のヒューズ素子10、11からなり、これらのヒューズ素子のコンタクト部12を破壊することによりヒューズ切断を行う。コンタクト部は半導体基板の上に形成される絶縁保護膜の開口部で構成されるヒューズ窓の内側に配置されレーザビームはこのヒューズ窓を介してヒューズに照射される。第1のヒューズ素子の上に第2のヒューズ素子が配置されているヒューズは、コンタクト部がレーザビームによりブローされ易くヒューズの切断不良が起こり難い。



1

## 【特許請求の範囲】

【請求項1】 ヒューズが形成された半導体基板と、前記半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された第1のヒューズ素子と、前記第1の絶縁膜及び前記第1のヒューズ素子の上に形成され、前記第1のヒューズ素子の先端部に至るコンタクト開口部を有する第2の絶縁膜と、前記第2の絶縁膜上に形成され、前記コンタクト開口部においてその先端部と前記第1のヒューズ素子の先端部とが電気的に接続されるコンタクト部を有する第2のヒューズ素子と、前記第2の絶縁膜及び前記第2のヒューズ素子の上に形成された第3の絶縁膜と、前記第3の絶縁膜上に形成され、少なくとも前記コンタクト部が形成された領域の上にはレーザビーム照射用のヒューズ窓が開口されている絶縁保護膜とを備え、前記ヒューズは、前記第1のヒューズ素子と前記第2のヒューズ素子とから構成されていることを特徴とする半導体装置。

【請求項2】 前記第1のヒューズ素子と前記第2のヒューズ素子とは前記第2の絶縁膜を介して重なっていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第1のヒューズ素子と前記第2のヒューズ素子のそれぞれの前記先端部のみが重なっていることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記第2の絶縁膜の前記コンタクト開口部内において前記第2のヒューズ素子の上にはポリシリコンが埋め込まれていることを特徴とする請求項1乃至請求項3のいづれかに記載の半導体装置。

【請求項5】 前記ヒューズ窓内には複数の前記ヒューズのコンタクト部が配置されていることを特徴とする請求項1乃至請求項4のいづれかに記載の半導体装置。

【請求項6】 前記ヒューズ窓内には複数の前記ヒューズのコンタクト部が千鳥状に配置されていることを特徴とする請求項5に記載の半導体装置。

【請求項7】 ヒューズが形成された半導体基板と、前記半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成され、互いに先端部が所定の間隔を隔てて対向している第1及び第2のヒューズ素子と、前記第1の絶縁膜及び前記第1及び第2のヒューズ素子の上に形成され、前記第1及び第2のヒューズ素子の前記互いに対向している先端部に至るコンタクト開口部を有する第2の絶縁膜と、

前記第2の絶縁膜上に形成され、前記コンタクト開口部において前記第1及び第2のヒューズ素子の前記互いに対向している先端部と電気的に接続する第3のヒューズ素子と、

前記第2の絶縁膜及び前記第3のヒューズ素子の上に形

2

成された第3の絶縁膜と、

前記第3の絶縁膜上に形成され、少なくとも前記第3のヒューズ素子が形成されている領域にはレーザビーム照射用のヒューズ窓が開口されている絶縁保護膜とを備え、

前記ヒューズは、前記第1のヒューズ素子、前記第2のヒューズ素子及び第3のヒューズ素子から構成されていることを特徴とする半導体装置。

【請求項8】 前記第1のヒューズ素子と前記第2のヒューズ素子とは前記先端部が互いに対向し前記先端部以外の領域は、互いに反対方向に配置されていることを特徴とする請求項7に記載の半導体装置。

【請求項9】 前記第1のヒューズ素子と前記第2のヒューズ素子とは互いに並行に配置されていることを特徴とする請求項7に記載の半導体装置。

【請求項10】 前記第2の絶縁膜の前記コンタクト開口部内において前記第3のヒューズ素子の上にはポリシリコンが埋め込まれていることを特徴とする請求項7乃至請求項9のいづれかに記載の半導体装置。

20 【請求項11】 前記ヒューズ窓内には複数の前記第3のヒューズ素子が配置されていることを特徴とする請求項7乃至請求項10のいづれかに記載の半導体装置。

【請求項12】 前記ヒューズ窓内には複数の前記第3のヒューズ素子が千鳥状に配置されていることを特徴とする請求項11に記載の半導体装置。

【請求項13】 ヒューズが形成された半導体基板と、前記半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された第1のヒューズ素子と、

前記第1の絶縁膜及び前記第1のヒューズ素子の上に形成され、前記第1のヒューズ素子の先端部に至るコンタクト開口部を有する第2の絶縁膜と、前記第2の絶縁膜上に形成され、前記コンタクト開口部においてその先端部と前記第1のヒューズ素子の先端部とが電気的に接続されるコンタクト部を有する第2のヒューズ素子と、

前記第2の絶縁膜及び前記第2のヒューズ素子の上に形成された第3の絶縁膜とを備え、

前記ヒューズは、前記第1のヒューズ素子と前記第2のヒューズ素子とから構成され、前記第2のヒューズ素子の前記先端部とこの先端部以外の領域との境界部分には括れ部が形成されていることを特徴とする半導体装置。

【請求項14】 前記第1のヒューズ素子と前記第2のヒューズ素子とは前記第2の絶縁膜を介して重なっていることを特徴とする請求項13に記載の半導体装置。

【請求項15】 前記第1のヒューズ素子と前記第2のヒューズ素子のそれぞれの前記先端部のみが重なっていることを特徴とする請求項13に記載の半導体装置。

【請求項16】 前記第2の絶縁膜の前記コンタクト開口部内において前記第2のヒューズ素子の上にはポリシリ

リコンが埋め込まれていることを特徴とする請求項13乃至請求項15のいづれかに記載の半導体装置。

【請求項17】 前記第3の絶縁膜上には少なくとも前記コンタクト部が形成された領域の上にレーザビーム照射用のヒューズ窓が開口されている絶縁保護膜を備えていることを特徴とする請求項13乃至16のいづれかに記載の半導体装置。

【請求項18】 前記ヒューズ窓内には複数の前記ヒューズのコンタクト部が配置されていることを特徴とする請求項17に記載の半導体装置。

【請求項19】 前記ヒューズ窓内には複数の前記ヒューズのコンタクト部が千鳥状に配置されていることを特徴とする請求項18に記載の半導体装置。

【請求項20】 請求項1乃至請求項6のいづれかに記載の半導体装置において、レーザビームを前記ヒューズ窓から前記コンタクト部に照射して、このコンタクト部を破壊し、前記第1のヒューズ素子と第2のヒューズ素子とを電気的に分離することを特徴とするヒューズの切断方法。

【請求項21】 請求項7乃至請求項12のいづれかに記載の半導体装置において、レーザビームを前記ヒューズ窓から前記第3のヒューズ素子に照射してこの第3のヒューズ素子を破壊し、前記第1のヒューズ素子と第2のヒューズ素子とを電気的に分離することを特徴とするヒューズの切断方法。

【請求項22】 請求項13乃至請求項19のいづれかに記載の半導体装置において、レーザビームを前記コンタクト部に照射して、このコンタクト部を破壊し、前記第1のヒューズ素子と第2のヒューズ素子とを電気的に分離することを特徴とするヒューズの切断方法。

【請求項23】 前記レーザビームのビーム径は、少なくとも前記コンタクト部又は前記第3のヒューズ素子の最大径よりも大きいことを特徴とする請求項20乃至請求項22のいづれかに記載のヒューズの切断方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、ヒューズ素子を備えた半導体装置及びヒューズの切断方法に関し、特に高密度化、高集積化を図った半導体装置に用いて好適なヒューズ及びその切断方法に関するものである。

##### 【0002】

【従来の技術】 半導体装置に組み込まれている半導体素子のサイズが微細化され、1つの半導体チップの中に含まれる素子数が巨大化するにつれて、欠陥密度の水準も向上するが、開発段階や量産の初期においては低い歩留まりが問題になっている。この問題を解決するために、冗長回路技術が提案され、実用化してきた。ここでは1例としてメモリ素子において製造工程中に作られる欠陥を救済する冗長回路について説明する。冗長回路はメモリ配列中に欠陥の行又は列あるいはメモリセルが存在

した場合にスペアの行や列を何本か用意しておき、欠陥部分に相当するアドレス信号が入った時に、代わりにスペアの行や列を選択するように構成することによって欠陥を含みながら製品を良品として扱うことができる。冗長回路を導入することによってチップ面積は増大するが歩留まり改善率が高くなる。こうした冗長回路を実現する上で各チップによってランダムに発生する欠陥箇所に対応するアドレスをスペア部分に割付ける1種のプログラミングの手段の選択が重要になる。この手段はいろいろあるが冗長回路のためのチップ面積の増加が小さく加工上のマージンの大きいレーザによるヒューズ切断が最も多く用いられる。半導体装置におけるヒューズはこのようなところに用いることが多い。

【0003】 従来技術による半導体装置に用いるヒューズは、ポリシリコンやW(タンクスチル)、A1(アルミニウム)などの1層の導電層、ポリシリコン上にWSiなどのシリサイドを形成した構造や、A1などの下にTi(チタン)/TiN(チタンナイトラント)を形成した2層の導電層から構成されている。形状的には1本の棒状のものや切断部のみを細める形状が多く、また切断する手法としてはレーザビームを照射する方法が一般的である。

##### 【0004】

【発明が解決しようとする課題】 ヒューズは、主としてメモリ素子の不良ビットをスペアビットに置き換え救済するのに用いられているが、現在救済効率を上げる為にスペアビットを増やす傾向にあり、それに伴い置き換えに用いられているヒューズの本数も増加する傾向にある。そのため、前記ヒューズへの配線も増加するので設計が難航する場合やチップサイズの増加が問題となっている。また、ヒューズ材料をW、A1などの導電性金属材料にした場合やとくにWやA1の下にTi/TiNを形成して2層にした場合は、ヒューズをレーザービームで切断する際に残膜が発生し、電気的な切断ができず完全なビットの置き換えが行えないで不良となるケースがあった。この問題について図面を参照しながらさらに説明する。図19は、半導体基板上に形成された従来のヒューズの平面図であり、図20は、この従来のヒューズのみを示した斜視図である。ヒューズは、集積回路間、半導体素子間あるいは集積回路と半導体素子間などを接続する配線を中断しその間に挿入されるものである。したがって、配線とは別異の材料で形成されているのが通常であるが、配線とヒューズを同じ材料で構成することもできる。この場合は、ヒューズは切断可能な領域とこの領域を支持しこれと近接する領域からなる。

【0005】 図20では、半導体基板上に形成された絶縁保護膜に形成された開口部からなるヒューズ窓の内部にヒューズの切断可能な領域(切断部)が配置されている。図20に示すようにヒューズ素子1は、切断部が細くなっている。そのため切断性が向上している。図19

## 5

のように、半導体基板（図示せず）上に、分離されたA'などの配線4が配置形成されており、複数のヒューズ1は、分離された各配線4を各々接続している。配線4とヒューズ1の上には、絶縁膜（図示せず）及び絶縁保護膜（図示せず）が形成されている。ヒューズ1の切断部近傍は、絶縁保護膜に形成された開口部であるヒューズ窓2の内側に配置されている。レーザービームは、このヒューズ窓2から照射されてヒューズ1を溶断する。前記配線4とヒューズ1とはコンタクト部5で接続されており電気的に導通している。このようにヒューズ窓2を挟んでヒューズ1の本数分の配線4をその両側に設けるとスペース的に大きな無駄になってしまう。

【0006】次に、ヒューズをレーザービームで切断する際の問題点について説明する。図21は、従来の半導体基板上のヒューズの断面図である。この図は、図19のA-A'線に沿う部分の断面であり半導体基板の絶縁保護膜にヒューズ窓をあけた部分の近傍を拡大したものである。シリコン半導体基板200上には、SiO<sub>2</sub>膜101、BSPG (Boron-doped Phospho-Silicate Glass) 膜102が設けられ、その上にヒューズ1が存在している。ヒューズ1は、2層構造になっており、下側がTi/TiN膜54、上側がW膜53になるように構成されている。ヒューズ1の上には、層間絶縁膜である第1のSiO<sub>2</sub>膜103、第2のSiO<sub>2</sub>膜104、第3のSiO<sub>2</sub>膜105が形成され、さらに絶縁保護膜であるSiO<sub>2</sub>膜106及びSi<sub>3</sub>N<sub>4</sub>膜107が形成されている。そして、ヒューズ1をレーザービームで切断し易いようにヒューズ1上の絶縁膜を薄くする必要があり、そのため絶縁保護膜であるSi<sub>3</sub>N<sub>4</sub>膜107に開口部（ヒューズ窓）2を開け、さらに同じく絶縁保護膜であるSiO<sub>2</sub>膜106と第3のSiO<sub>2</sub>膜105の1部をエッチング処理で選択的に除いている。図22は、この状態の従来のヒューズにレーザービームで切断するときの半導体基板上のヒューズの断面図である。図中の矢印2はレーザービームであり、ヒューズ1の切断しようとする部分に照射する。

【0007】この場合、レーザービーム（矢印2）を照射すると、破壊されたヒューズ1とヒューズ1上に存在する層間膜である第1のSiO<sub>2</sub>膜103、第2のSiO<sub>2</sub>膜104、第3のSiO<sub>2</sub>膜105が除去され外観的及び電気的に切断される。しかし、本来ならヒューズ1は完全に除去されなければならないが、2層構造で下にTi/TiN膜54が存在した場合は、これが残膜として残る可能性が高く完全な切断にはならない場合がある。例えば、不良ピットをスペアピットに置き換えることができず不良となることがある。上記したように、従来の半導体装置に用いるヒューズ素子は、設計マージンが十分に確保されず、また、ヒューズをレーザービームにより切断したときの残膜がもたらす電気的導通が原因となって不良が発生する可能性があるという問題があつ

## 6

た。本発明は、このような事情によりなされたものであり、設計マージンが十分に確保され、チップ上の占領面積が小さく、また、残膜がもたらす電気的導通による不良の発生を抑えた半導体装置及び半導体装置に用いるヒューズの切断方法を提供する。

## 【0008】

【課題を解決するための手段】本発明は、導電材料から構成されたヒューズを有する半導体装置において、ヒューズが互いに接続された複数のヒューズ素子からなり、

10 これらのヒューズ素子のコンタクト部を破壊することによりヒューズ切断を行うことを特徴としている。そのため前記コンタクト部は半導体基板の上に形成される絶縁保護膜の開口部で構成されるヒューズ窓の内側に配置され、レーザービームはこのヒューズ窓を介してヒューズに照射することを特徴としている。ここで、第1のヒューズ素子及び前記第2のヒューズ素子は半導体装置表面の保護膜に開けられた窓穴の少なくとも一つの辺から同一方向に延在しており、コンタクトの存在する両ヒューズ素子の先端は窓穴内に存在する。ヒューズは、第1のヒューズ素子と第2のヒューズ素子の先端とコンタクトとをレーザービームにより破壊することにより切断される。第1のヒューズ素子の上に第2のヒューズ素子が配置されているヒューズ、このヒューズにおいて第2のヒューズ素子のコンタクトが形成されている先端部分とそれ以外の領域との間に脆弱部を設けたヒューズ及び第1及び第2のヒューズ素子と同じ平面上に配置しさらに第3のヒューズ素子を用いて前記両素子を電気的に接合したヒューズおのものは、ともにコンタクト部及び第2のヒューズ素子がレーザービームによりブローされ易く、

30 ヒューズの切断不良が起こり難い。また、第1及び第2のヒューズ素子を上下に重ねて配置することもできるので従来よりヒューズ面積が低減される。ヒューズは、集積回路、半導体素子間あるいは集積回路と半導体素子間などを接続する配線に挿入されるものである。したがって、配線とは別異の材料で形成されているのが通常であるが、配線とヒューズを同じ材料で構成することもできる。この場合は、ヒューズは切断可能な領域とこの領域を支持しこれと近接する領域からなる。

## 【0009】本発明の第1の発明は、請求項1に記載の

40 半導体装置において、ヒューズが形成された半導体基板と、前記半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された第1のヒューズ素子と、前記第1の絶縁膜及び前記第1のヒューズ素子の上に形成され、前記第1のヒューズ素子の先端部に至るコンタクト開口部を有する第2の絶縁膜と、前記第2の絶縁膜上に形成され、前記コンタクト開口部においてその先端部と前記第1のヒューズ素子の先端部とが電気的に接続されるコンタクト部を有する第2のヒューズ素子と、前記第2の絶縁膜及び前記第2のヒューズ素子の上に形成された第3の絶縁膜と、前記第3の絶縁膜上に形成さ

れ、少なくとも前記コンタクト部が形成された領域の上にはレーザビーム照射用のヒューズ窓が開口されている絶縁保護膜とを備え、前記ヒューズは、前記第1のヒューズ素子と前記第2のヒューズ素子とから構成されていることを特徴とする。第2の発明は、請求項7に記載の半導体装置において、ヒューズが形成された半導体基板と、前記半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成され、互いに先端部が所定の間隔を隔てて対向している第1及び第2のヒューズ素子と、前記第1の絶縁膜及び前記第1及び第2のヒューズ素子の上に形成され、前記第1及び第2のヒューズ素子の前記互いに対向している先端部に至るコンタクト開口部を有する第2の絶縁膜と、前記第2の絶縁膜上に形成され、前記コンタクト開口部において前記第1及び第2のヒューズ素子の前記互いに対向している先端部と電気的に接続する第3のヒューズ素子と、前記第2の絶縁膜及び前記第3のヒューズ素子の上に形成された第3の絶縁膜と、前記第3のヒューズ素子が形成されている領域にはレーザビーム照射用のヒューズ窓が開口されている絶縁保護膜とを備え、前記ヒューズは、前記第1のヒューズ素子、前記第2のヒューズ素子及び第3のヒューズ素子から構成されていることを特徴とする。

【0010】第3の発明は、請求項13に記載の半導体装置において、ヒューズが形成された半導体基板と、前記半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された第1のヒューズ素子と、前記第1の絶縁膜及び前記第1のヒューズ素子の上に形成され、前記第1のヒューズ素子の先端部に至るコンタクト開口部を有する第2の絶縁膜と、前記第2の絶縁膜上に形成され、前記コンタクト開口部においてその先端部と前記第1のヒューズ素子の先端部とが電気的に接続されるコンタクト部を有する第2のヒューズ素子と、前記第2の絶縁膜及び前記第2のヒューズ素子の上に形成された第3の絶縁膜とを備え、前記ヒューズは、前記第1のヒューズ素子と前記第2のヒューズ素子とから構成され、前記第2のヒューズ素子の前記先端部とこの先端部以外の領域との境界部分には括れ部が形成されていることを特徴とする。第4の発明は、請求項20に記載の半導体装置のヒューズ切断方法において、レーザビームを前記ヒューズ窓から前記コンタクト部に照射して、このコンタクト部を破壊し、前記第1のヒューズ素子と第2のヒューズ素子とを電気的に分離することを特徴とする。第5の発明は、請求項21に記載の半導体装置のヒューズ切断方法において、レーザビームを前記ヒューズ窓から前記第3のヒューズ素子に照射してこの第3のヒューズ素子を破壊し、前記第1のヒューズ素子と第2のヒューズ素子とを電気的に分離することを特徴とする。第6の発明は、請求項22に記載の半導体装置のヒューズ切断方法において、レーザビームを前記コンタクト部

に照射して、このコンタクト部を破壊し、前記第1のヒューズ素子と第2のヒューズ素子とを電気的に分離することを特徴とする。

【0011】

【発明の実施の形態】以下、図面を参照して発明の実施の形態を説明する。まず、図1乃至図5を参照しながら第1の発明の実施の形態を説明する。図1は、半導体基板上に形成された配線間に配置されたヒューズの平面図、図2は、半導体基板上に配置されたヒューズの斜視図、図3は、図1のB-B'線に沿う部分の断面図、図4は、図3のヒューズがレーザビームにより切断される状態を説明する半導体基板の断面図、図5は、レーザビームが照射された半導体基板上のヒューズ窓の平面図である。この発明の実施に形態のヒューズ100は、半導体基板上の絶縁保護膜に開口したヒューズ窓2の長辺側の1辺からのみ延在しており、ヒューズの端部は、ヒューズ窓2のほぼ中央に存在している。ヒューズ100は、第1のヒューズ素子10とその下に配置された第2のヒューズ素子11を有し、第1及び第2のヒューズ素子10、11の先端はコンタクト部12により電気的に接続されている。すなわちこのヒューズ100は、上下2層の導電層から形成された2層構造素子になっている。図2に示すように下層の第1のヒューズ素子10と上層の第2のヒューズ素子11は、並行に重なっており、それぞれの先端部のコンタクト部12で接続されている。

【0012】第1のヒューズ素子10の先端部は、他の部分より幅広になっており、第2のヒューズ素子11の先端部は、他の部分との間に括れ部15が形成されている。半導体基板上の配線14は、第1のヒューズ素子10に接続されており、このヒューズ素子10と同一の材料で構成されている。また、配線13は、第2のヒューズ素子11に接続されており、このヒューズ素子11と同一の材料で構成されている。ヒューズ窓2の内側において配線13、14は、第1及び第2のヒューズ素子10、11が存在する側のみに存在する。この発明の実施の形態のヒューズの半導体基板における配置を図3を参照して説明する。ヒューズ100は、シリコン半導体基板200上にSiO<sub>2</sub>膜101、BPSG膜102が設けられ、その上に第1のヒューズ素子10が形成される。第1のヒューズ素子10は2層構造になっており、下にTi/TiN膜54が形成され、その上にW膜53が形成されている。第1のヒューズ素子10の上には、層間絶縁膜である第1のSiO<sub>2</sub>膜103、その上に第2のSiO<sub>2</sub>膜104が形成されている。第2のSiO<sub>2</sub>膜104の上には第2のヒューズ素子11が設けられている。第2のヒューズ素子11も第1のヒューズ素子10と同じく2層構造になっており、下にTi/TiN膜52が形成され、その上にAl膜51が形成されてい

50る。

【0013】第1のヒューズ素子10と第2のヒューズ素子11は先端部にコンタクト部12が設けられており、ここが実質的なヒューズ切断部となっている。第1のヒューズ素子10の先端部直上の第1及び第2のSiO<sub>2</sub>膜103、104にこの先端部が露出するコンタクト孔を形成し、第2のヒューズ素子11をこのコンタクト孔の内部にも形成することによってコンタクト部12を形成する。このときコンタクト部12の底部でA1膜52とW膜53とが電気的に接続する。第2のヒューズ素子11の上には層間絶縁膜である第3のSiO<sub>2</sub>膜105が形成され、その上に保護絶縁膜であるSiO<sub>2</sub>膜106とSi<sub>3</sub>N<sub>4</sub>膜107とが形成されている。そしてヒューズ100をレーザビームで切断し易いようにヒューズの切断部を含む領域を薄くする必要がある。そこでヒューズの切断部を含む領域上のSi<sub>3</sub>N<sub>4</sub>膜107を開口しこの部分をヒューズ窓2とする。さらにSiO<sub>2</sub>膜106とその下の第3のSiO<sub>2</sub>膜105をエッチング処理する。このエッチングによりSiO<sub>2</sub>膜106は開口しSiO<sub>2</sub>膜105はそのヒューズ窓下の膜厚を薄くする。レーザビームの効率を高めるために、さらにSiO<sub>2</sub>膜105のエッチング処理を進めてヒューズ100の切断部の表面を露出させることもできる。

【0014】次に、この発明の実施の形態のヒューズの切断方法を図4、図5及び従来のヒューズの切断方法を示す図19を参照して説明する。図19の従来のヒューズ1に接続するA1配線4は、絶縁保護膜(図示せず)に開けたヒューズ窓2を長辺側で挟む形でその両側にヒューズ素子1の本数分だけ配置されている。図1に示す第1の発明の実施の形態のヒューズは、絶縁保護膜に開けられたヒューズ窓2の長辺の一辺側にしか第1のヒューズ素子10と第2のヒューズ素子11に接続される配線13、14は存在せず、ヒューズが存在する領域は、ヒューズ窓2の内部において従来の片側分になっている。従って従来のヒューズに比べて本発明のヒューズの配線の方が設計的にマージンが上がる。また、また、図4において矢印2は、レーザビームであり、ヒューズを切断しようとする所に照射されるが、レーザビーム

(Z)は、第1のヒューズ素子10と第2のヒューズ素子11の先端部及びコンタクト部12に照射される。レーザビーム(Z)が照射された第1のヒューズ素子10と第2のヒューズ素子11の先端及びコンタクト部12は破壊され、第1のヒューズ素子10、第2のヒューズ素子11の先端及びコンタクト部12と第1のヒューズ素子10上に存在する層間絶縁膜である第1のSiO<sub>2</sub>膜103、第2のSiO<sub>2</sub>膜104及び第2のヒューズ素子11上の第3のSiO<sub>2</sub>膜105が除去されて外観的及び電気的に切断される。

【0015】ヒューズ100に照射されるレーザビーム(Z)の径(Φ1)は、第1及び第2のヒューズ素子10、11の先端部及びコンタクト部12が完全にプロー

されるために、少なくとも第1及び第2のヒューズ素子10、11の径(Φ2)より大きいことが必要である(Φ1>Φ2)(図5)。本来ならヒューズは完全に除去されなければならないが、一番底面に存在する第1のヒューズ素子10が2層構造でTi/TiN膜54が形成されている場合は、これが残膜として残る可能性が高い。しかし、本発明ではコンタクト部12及び第2のヒューズ素子11の先端部が完全に除去されているので完全な切断状態となり外観的、電気的にも完全な切断が完了することが可能となり半導体メモリ装置に用いた場合に不良ビットをスペアビットに置き換えることができる。次に、図6及び図7を参照して2層構造素子からなり、前記のものとは異なる構造のヒューズを有する第2の発明の実施の形態を説明する。図6は、表面にヒューズ窓を有する半導体基板の平面図、図7は、半導体基板上のヒューズを示す斜視図である。

【0016】ヒューズ100は、第1のヒューズ素子10とその下に配置された第2のヒューズ素子11を有し、第1及び第2のヒューズ素子10、11の先端はコンタクト部12により電気的に接続されている。図2に示すように下層の第1のヒューズ素子10と上層の第2のヒューズ素子11は、上下に平行であり、先端部のみ重なっている。そしてそれぞれの先端部のコンタクト部12で接続されている。第1のヒューズ素子10の先端部は、他の部分より幅広になっており、第2のヒューズ素子11の先端部は、他の部分との間に括れ部15が形成されている。半導体基板200上の絶縁保護膜107に形成されたヒューズ窓2内のヒューズ100の配置は、図19に示す従来のヒューズの配置と同じであり、ヒューズ窓の2つの長辺方向にヒューズの長手方向が延びている。コンタクト部12と2つのヒューズ素子10、11の先端部をレーザビームによりプローするので、ヒューズ切断が確実であり、さらに、第2のヒューズ11の先端部に括れ部15が形成されているのでヒューズ切断の確実さが増す。次に、ヒューズが3つのヒューズ素子からなる半導体装置の発明の実施の形態について説明する。

【0017】このヒューズは、少なくとも3つのヒューズ素子によって構成され、第1のヒューズ素子と第2のヒューズ素子が同一の絶縁膜上に形成される1層の導電材料からなる1層構造素子であり、コンタクト部が配置される先端部が互いに対向した位置に形成され、しかも電気的には接続されていない第1のヒューズ素子と第2のヒューズ素子の先端を第3のヒューズ素子によって電気的に接続することを特徴としている。すなわち、第3のヒューズ素子は、第1及び第2のヒューズ素子を電気的に接続するコンタクトの役割を果たす。第1のヒューズ素子と第2のヒューズ素子を電気的に接続する第3のヒューズ素子は、半導体基板表面の絶縁保護膜に開口されたヒューズ窓の中に配置され、ヒューズの切断は、第

1のヒューズ素子と第2のヒューズ素子を電気的に接続する第3のヒューズ素子と前記第3のヒューズ素子上の絶縁膜（シリコン酸化膜）をレーザビームにより除去して第1のヒューズ素子と第2のヒューズ素子を電気的に切断する。第3のヒューズ素子は、少なくとも第1のヒューズ素子と第2のヒューズ素子の上面に位置し、また、第3のヒューズ素子は、第1のヒューズ素子と第2のヒューズ素子の各々の先端部が電気的に接続されない範囲で近接している位置に、第1のヒューズ素子と第2のヒューズ素子の各々の先端部が露出するようなコンタクト孔を開口し、このコンタクト孔を少なくとも1種類の導電性材料で埋め込むことにより形成する。

【0018】次に、図8乃至図11を参照して第3の発明の実施の形態を説明する。図8は、半導体基板上のヒューズ及び配線の平面図、図9は、ヒューズの部分拡大斜視図、図10は、図8のB-B'線に沿う部分の断面図、図11は、図10のヒューズがレーザビームにより切断される状態を説明する半導体基板の断面図である。図8の中央には第1のヒューズ素子301、第2のヒューズ素子302、第3のヒューズ素子303が配置されており、第1のヒューズ素子301と第2のヒューズ素子302の間に第3のヒューズ素子303が位置している。これらヒューズ素子の近傍は、半導体素子の絶縁保護膜に、前記第3のヒューズ素子303にレーザビームが照射し易いようにヒューズ窓2が開口されており、そのヒューズ窓2の周辺に第1のヒューズ素子301と第2のヒューズ素子302へのA1配線4がヒューズ窓2を挟むように両側に第1のヒューズ素子301と第2のヒューズ素子302の本数分が配置形成されている。第1のヒューズ素子301と第2のヒューズ素子302へのA1配線4は、コンタクト5で接続されておりここで電気的に導通している。

【0019】このヒューズの構造は、図9に示すように第1のヒューズ素子301、第2のヒューズ素子302、第3のヒューズ素子303の3つのヒューズ素子によって構成され、第1のヒューズ素子と第2のヒューズ素子は同じ導電材料からなり、かつ同じ導電層から構成され、先端部は互いに対向した位置に存在し、先端部以外の部分は互いに反対方向に延在している。そして位置的に第3のヒューズ素子303は第1のヒューズ素子301と第2のヒューズ素子302の上面に位置している。第1及び第2のヒューズ素子301、302とも先端部は、細幅部16になっている。図10は、ヒューズの半導体基板上の配置を詳細に示している。図8に示すヒューズ100は、シリコン半導体基板200上にSiO<sub>2</sub>膜101、BPSG膜102が設けられ、その上に第1のヒューズ素子301と第2のヒューズ素子302が形成されている。図に示すように、第1のヒューズ素子301と第2のヒューズ素子302は分離しており、第1のヒューズ素子301と第2のヒューズ素子302

の2つだけでは電気的に導通していない状況にある。第1のヒューズ素子301と第2のヒューズ素子302とは同じ導電層からなり、この導電層は2層構造になっている。

【0020】下層にTi/TiN膜54が形成され、その上層にW膜53が形成されている。第1のヒューズ素子301と第2のヒューズ素子302の上には、層間絶縁膜である第1のSiO<sub>2</sub>膜103、第2のSiO<sub>2</sub>膜104が形成され、その上に第3のヒューズ素子303が設けられ、第3のヒューズ素子303も第1及び第2のヒューズ素子301、302と同じく2層構造になっていて、下層にTi/TiN膜52、上層にAl膜51が形成されている第1のヒューズ素子301と第2のヒューズ素子302の先端部に互いの先端が露出するようコンタクト孔を開口し、第3のヒューズ素子303を構成する導電材料を第1のヒューズ素子301と第2のヒューズ素子302を電気的に接合するようコンタクト孔内とその近傍の第2のSiO<sub>2</sub>膜104の上に形成する。この3つのヒューズ素子が接合された部分が実質的なヒューズ切断部となっている。第3のヒューズ素子303は、第1のヒューズ素子301と第2のヒューズ素子302とを電気的に接続するコンタクトになっている。次に、第3のヒューズ素子303上には層間絶縁膜である第3のSiO<sub>2</sub>膜105が形成され、その上に絶縁保護膜であるSiO<sub>2</sub>膜106及びSi<sub>3</sub>N<sub>4</sub>膜107が形成されている。

【0021】そして、第3のヒューズ素子303をレーザビームで飛散させ易いようにこれらヒューズ素子上の層間絶縁膜（SiO<sub>2</sub>膜）を薄くする必要がある。エッチング処理によって絶縁保護膜であるSi<sub>3</sub>N<sub>4</sub>膜107にヒューズ窓2を開口し、さらに絶縁保護膜であるSiO<sub>2</sub>膜106を開口し層間絶縁膜であるSiO<sub>2</sub>膜105のヒューズ窓下の領域の膜厚を他の領域より薄くする。レーザビームの効率を高めるため、さらにSiO<sub>2</sub>膜105のエッチング処理を進めてヒューズ100の切断部の表面（とくにAl膜51）を露出させることもできる。次に、図11を参照しながらこの発明の実施の形態のヒューズの切断方法を説明する。レーザビーム

（Z）は、ヒューズを切断しようとする領域に照射される。この発明の実施の形態では第3のヒューズ素子303に照射される。レーザビーム（Z）を照射された第3のヒューズ素子303及び第3のヒューズ素子303上の第3のSiO<sub>2</sub>膜105が飛散すると、今まで第3のヒューズ素子303で電気的に接続されていた第1のヒューズ素子301と第2のヒューズ素子302は第3のヒューズ素子303が飛散した時点で完全に電気的に切断された状態となる。

【0022】従来のヒューズ素子であれば、前述した通り、もともと1つのヒューズを溶断するため、残膜によるリークが発生し電気的な切断が困難であったが（図1

9参照)、この発明の実施の形態では、別々に存在する第1のヒューズ素子と第2のヒューズ素子を第3のヒューズ素子で接合しているため、第3のヒューズ素子を第1のヒューズ素子と第2のヒューズ素子から分離し除去することは非常に容易であり、完全な電気的切断が可能となる。この事から本発明によるヒューズ素子を用いれば、例えば、半導体メモリ装置の不良ビットをスペアビットに置き換え救済することが容易となり救済効率を上げる効果を発揮する。本発明においてはヒューズの切断効果を上げるために切断部である第1及び第2のヒューズ素子の先端部は細幅になっているが、このように細幅部16を形成することは他の発明の実施の形態でも同様である。次に、図12及び図13を参照して1層構造素子からなる前記とは異なるヒューズを有する第4の発明の実施の形態を説明する。図12は、絶縁保護膜107に形成されたヒューズ窓2を有する半導体基板の平面図、図13は、半導体基板200上のヒューズを示す斜視図である。

【0023】ヒューズ100は、第1のヒューズ素子301、第2のヒューズ素子302、第3のヒューズ素子303の3つのヒューズ素子によって構成され、第1のヒューズ素子と第2のヒューズ素子は同じ導電材料からなり、かつ同じ導電層から構成され、先端部は互いに対向している。つまり、第1のヒューズ素子301と第2のヒューズ素子302は、半導体基板200上の同じ層間絶縁膜(図示せず)上にほぼ平行に配置形成されており、切断部となる先端部以外の部分も互いに対向している。そして位置的に第3のヒューズ素子303は第1のヒューズ素子301と第2のヒューズ素子302の上面に位置している。第3のヒューズ素子は、第1の発明の実施の形態と同じ構造を有している。図12に示すようにヒューズ窓内に配置されるヒューズは、第1の発明の実施の形態と同じ様にヒューズ窓の長辺のみから延在しているので、例えば、ヒューズを千鳥状に2列に配列すれば、ヒューズの集積度が上がる。この発明の実施の形態においてもヒューズの切断効果を上げるために切断部である第1及び第2のヒューズ素子の先端部は細幅部16になっている。

【0024】この発明の実施の形態では、別々に存在する第1のヒューズ素子と第2のヒューズ素子を第3のヒューズ素子で接合しているため、第3のヒューズ素子を第1のヒューズ素子と第2のヒューズ素子から分離し除去することは非常に容易であり完全な電気的切断が可能となる。この事から本発明によるヒューズ素子を用いれば、例えば、半導体メモリ装置の不良ビットをスペアビットに置き換え救済することが容易となり救済効率を上げる効果を発揮する。次に、図14及び図15を参照して第5の発明の実施の形態を説明する。図14は、半導体基板上に配置形成されたヒューズの拡大斜視図、図15は、半導体基板のヒューズ窓が形成されている部分の

断面図である。このヒューズの構造は、図14に示すように第1のヒューズ素子301、第2のヒューズ素子302、第3のヒューズ素子304の3つのヒューズ素子によって構成され、第1のヒューズ素子と第2のヒューズ素子は同じ導電材料からなり、かつ同じ導電層から構成され、先端部は互いに対向した位置に存在し、先端部以外の部分は互いに反対方向に延在している。そして位置的に第3のヒューズ素子304は第1のヒューズ素子301と第2のヒューズ素子302の上面に位置している。

【0025】図15は、ヒューズの半導体基板上の配置を詳細に示している。図14に示すヒューズ100は、シリコン半導体基板200上にSiO<sub>2</sub>膜101、BPSG膜102が設けられ、その上に第1のヒューズ素子301と第2のヒューズ素子302が形成されている。第1のヒューズ素子301と第2のヒューズ素子302は分離しており、第1のヒューズ素子301と第2のヒューズ素子302の2つだけでは電気的に導通していない。第1のヒューズ素子301と第2のヒューズ素子302とは同じ導電層からなり、この導電層は2層構造になっていて下層にTi/TiN膜54が形成され、その上層にW膜53が形成されている。第1のヒューズ素子301と第2のヒューズ素子302の上には、層間絶縁膜である第1のSiO<sub>2</sub>膜103、第2のSiO<sub>2</sub>膜104が形成され、その上に第3のヒューズ素子304が設けられている。第3のヒューズ素子304は、第1及び第2のSiO<sub>2</sub>膜103、104のコンタクト孔内とその周辺に形成され第1及び第2のヒューズ素子301、302に接触しているTi/TiN膜52、コンタクト孔内においてこのTi/TiN膜52の上に成長されたポリシリコンなどの埋め込み層56及びこの埋め込み層56とTi/TiN膜52との上に形成されたAl膜51から構成されている。

【0026】第1のヒューズ素子301と第2のヒューズ素子302の先端部に互いの先端が露出するように前記コンタクト孔が開口され、第3のヒューズ素子304を構成する導電材料を第1のヒューズ素子301と第2のヒューズ素子302を電気的に接合するようにコンタクト孔内とその周辺の第2のSiO<sub>2</sub>膜104の上に形成する。この3つのヒューズ素子が接合された部分が実質的なヒューズ切断部となっている。第3のヒューズ素子304は、第1のヒューズ素子301と第2のヒューズ素子302とを電気的に接続するコンタクト部になっている。次に、第3のヒューズ素子304上には層間絶縁膜である第3のSiO<sub>2</sub>膜105が形成され、その上に絶縁保護膜であるSiO<sub>2</sub>膜106及びSi<sub>3</sub>N<sub>4</sub>膜107が形成されている。そして、第3のヒューズ素子304をレーザビームで飛散させ易いようにこれらヒュ

ーズ素子上の層間絶縁膜 ( $\text{SiO}_2$  膜) を薄くする。エッティング処理によって絶縁保護膜である  $\text{Si}_3\text{N}_4$  膜 107 にヒューズ窓 2 を開口し、さらに絶縁保護膜である  $\text{SiO}_2$  膜 106 を開口し層間絶縁膜である  $\text{SiO}_2$  膜 105 のヒューズ窓下の領域の膜厚を他の領域より薄くする。レーザビームの効率を高めるため、さらに  $\text{SiO}_2$  膜 105 のエッティング処理を進めてヒューズ 100 の切断部の表面 (とくに  $\text{Al}$  膜 51) を露出させることもできる。

【0027】この発明の実施の形態のヒューズは、埋め込み層 56 が形成されているので、 $\text{Al}$  膜 51 の瘤みが小さくなっている。また、 $\text{Ti}/\text{TiN}$  膜 52 は、真空蒸着により形成されるが均一に形成されず段切れを生ずることもあり、コンタクトとしての機能を奏すことができないことがある。そこで、埋め込み層 56 を気相成長によりコンタクト孔内の  $\text{Ti}/\text{TiN}$  膜 52 の上に形成させる。埋め込み層の存在によって  $\text{Ti}/\text{TiN}$  膜 52 の不備を補うことができる。 $\text{Al}$  膜 51 も真空蒸着により堆積される。次に、図 16 及び図 17 を参照して第 6 の発明の実施の形態を説明する。図 16 は、半導体基板上に配置形成されたヒューズの拡大斜視図、図 17 は、半導体基板のヒューズ窓が形成されている部分の断面図である。このヒューズの構造は、図 16 に示すように第 1 のヒューズ素子 301、第 2 のヒューズ素子 302、第 3 のヒューズ素子 305 の 3 つのヒューズ素子によって構成され、第 1 のヒューズ素子と第 2 のヒューズ素子は同じ導電材料からなり、かつ同じ導電層から構成され、先端部は互いに対向した位置に存在し、先端部以外の部分は互いに反対方向に延在している。そして位置的に第 3 のヒューズ素子 305 は第 1 のヒューズ素子 301 と第 2 のヒューズ素子 302 の上面に位置している。

【0028】この発明の実施の形態においてもヒューズの切断効果を上げるために切断部である第 1 及び第 2 のヒューズ素子の先端部が細幅部 15 になっている。図 17 は、ヒューズの半導体基板上の配置を詳細に示しているが、第 3 のヒューズ素子の構造が異なる以外は、図 15 と同じなので、第 3 のヒューズ素子 305 を重点に説明する。第 3 のヒューズ素子 305 は、第 1 及び第 2 の  $\text{SiO}_2$  膜 103、104 のコンタクト孔内とその周辺に形成され第 1 及び第 2 のヒューズ素子 301、302 に接触している  $\text{Ti}/\text{TiN}$  膜 52 及びコンタクト孔内においてこの  $\text{Ti}/\text{TiN}$  膜 52 の上に成長されたポリシリコンなどの埋め込み層 56 から構成されている。第 1 のヒューズ素子 301 と第 2 のヒューズ素子 302 の先端部に互いの先端が露出するように前記コンタクト孔が開口され、第 3 のヒューズ素子 305 を構成する導電材料を第 1 のヒューズ素子 301 と第 2 のヒューズ素子 302 を電気的に接合するようにコンタクト孔内とその周辺の第 2 の  $\text{SiO}_2$  膜 104 の上に形成する。この 3

つのヒューズ素子が接合された部分が実質的なヒューズ切断部となっている。第 3 のヒューズ素子 305 は、第 1 のヒューズ素子 301 と第 2 のヒューズ素子 302 を電気的に接続するコンタクト部になっている。

【0029】第 3 のヒューズ素子 305 をレーザビームで飛散させ易いようにこれらヒューズ素子上の層間絶縁膜 ( $\text{SiO}_2$  膜) を薄くする。エッティング処理によって絶縁保護膜である  $\text{Si}_3\text{N}_4$  膜 107 にヒューズ窓 2 を開口し、さらに絶縁保護膜である  $\text{SiO}_2$  膜 106 を開口し層間絶縁膜である  $\text{SiO}_2$  膜 105 のヒューズ窓下の領域の膜厚を他の領域より薄くする。レーザビームの効率を高めるため、さらに  $\text{SiO}_2$  膜 105 のエッティング処理を進めてヒューズ 100 の切断部の表面を露出させることもできる。この発明の実施の形態のヒューズは、埋め込み層 56 が形成されているので、 $\text{Al}$  膜 51 の瘤みが小さくなっている。また、 $\text{Ti}/\text{TiN}$  膜 52 は、真空蒸着により形成されるが均一に形成されず段切れを生ずることもあり、コンタクトとしての機能を奏すことができないことがある。そこで、埋め込み層 56 を気相成長によりコンタクト孔内の  $\text{Ti}/\text{TiN}$  膜 52 の上に形成させる。埋め込み層の存在によって  $\text{Ti}/\text{TiN}$  膜 52 の不備を補うことができる。ヒューズ間の間隔が設計上厳しく狭くなった場合に、レーザビームで第 3 のヒューズ素子 305 を飛散させる時に隣接ヒューズへの干渉防止のために第 5 の発明の実施の形態では用いていた傘状の  $\text{Al}$  の部分を削除した。

【0030】図 18 は、半導体メモリ、例えば、DRAMなどのスペアローレコーダに接続されるローヒューズセレクタにヒューズを用いた例を示しており、図はその配線図である。この半導体メモリは、各半導体チップによりランダムに発生する欠陥箇所に対応するアドレスをスペア部分に割り付ける 1 種のプログラミングの手段である。この手段には、チップ面積の増加が小さく、加工上のマージンが大きいレーザによるヒューズ切断が多く用いられている。半導体装置におけるヒューズはこのようないくつかに用いることが多い。ローデコーダ群にスペアローデコーダを加え、アドレス入力とスペアローデコーダとの間にローヒューズセレクタを挿入し、そこに接続された複数のヒューズの内の適宜のヒューズを切断し、スペアローデコーダを前記ローデコーダ群の故障しているローデコーダと代える。ヒューズを用いるスペアデコーダは、カラムデコーダにも適用することができる。以上、本発明を図面を用いて説明したが、本発明はこれに限られることはなく本発明の趣旨を逸脱しない限り種々の変形が可能である。

【0031】

【発明の効果】本発明では、別々に存在する第 1 のヒューズ素子と第 2 のヒューズ素子を第 3 のヒューズ素子又はコンタクト部で接合しているため、第 3 のヒューズ素子又はコンタクト部を第 1 のヒューズ素子及び第 2 のヒ

17

ヒューズ素子から分離し除去することにより完全な電気的切断が可能となる。したがって、本発明の半導体装置に用いるヒューズは、設計マージンが充分に確保され、チップの占有面積が小さく、残膜がもたらす電気的導通による不良の発生を十分に抑えられる。

## 【図面の簡単な説明】

【図1】第1の発明の実施の形態の半導体基板上のヒューズ窓内のヒューズを示す平面図。

【図2】図1の半導体基板上のヒューズの斜視図。

【図3】図1のB-B'線に沿う部分の部分断面図。

【図4】図3の半導体基板にレーザビームを照射したときの断面図。

【図5】図1のヒューズにレーザビームを照射したときの半導体基板の平面図。

【図6】第2の発明の実施の形態のヒューズ窓が形成された半導体基板の平面図。

【図7】図6の半導体基板上のヒューズの斜視図。

【図8】第3の発明の実施の形態の半導体基板上のヒューズ窓内のヒューズを示す平面図。

【図9】図8の半導体基板上のヒューズの斜視図。

【図10】図8のB-B'線に沿う部分の部分断面図。

【図11】図8の半導体基板にレーザビームを照射したときの断面図。

【図12】第4の発明の実施の形態のヒューズ窓が形成された半導体基板の平面図。

【図13】図12の半導体基板上のヒューズの斜視図。

【図14】第5の発明の実施の形態の半導体基板上のヒューズの斜視図。

【図15】図14のヒューズ窓が形成された半導体基板の部分断面図。

【図16】第6の発明の実施の形態の半導体基板上のヒ

18

## ヒューズの斜視図。

【図17】図16のヒューズ窓が形成された半導体基板の部分断面図。

【図18】本発明のヒューズを適用したDRAMのローヒューズセレクタの回路図。

【図19】従来のヒューズ窓が形成された半導体基板の平面図。

【図20】従来の半導体基板上のヒューズの斜視図。

【図21】図19のA-A'線に沿う部分の部分断面

10図。

【図22】従来例において半導体基板にレーザビームを照射したときの断面図。

## 【符号の説明】

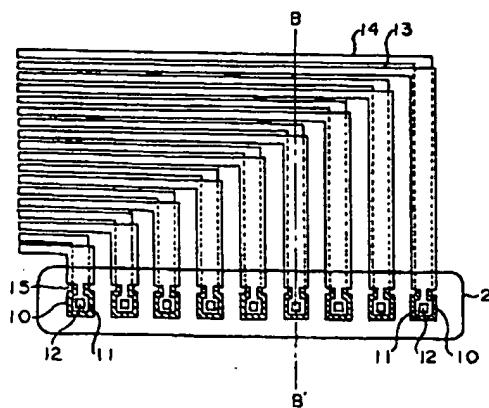
1、100…ヒューズ、2…絶縁保護膜のヒューズ窓、4…配線、5…コンタクト、

10…第1のヒューズ素子、11…第2のヒューズ素子、12…コンタクト部、13…第2のヒューズ素子の配線、14…第1のヒューズ素子の配線、15…ヒューズの括れ部、

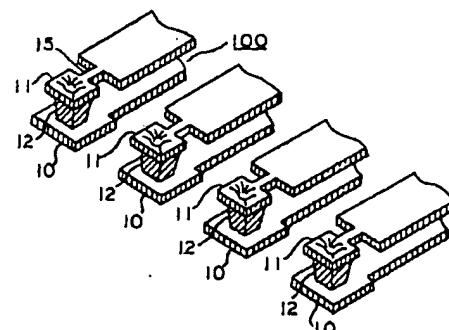
20 16…ヒューズの細幅部、51…A1膜、52、54…Ti/TiN膜、53…W膜、56…埋め込み層（ポリシリコン）、101…SiO<sub>2</sub>膜（第1の絶縁膜）、102…BPSG膜（第1の絶縁膜）、103…SiO<sub>2</sub>膜（第2の絶縁膜）、104…SiO<sub>2</sub>膜（第2の絶縁膜）、105…SiO<sub>2</sub>膜（第3の絶縁膜）、106…SiO<sub>2</sub>膜（絶縁保護膜）、107…Si<sub>3</sub>N<sub>4</sub>膜（絶縁保護膜）、200…シリコン半導体基板、301…第1のヒューズ素子、302…第2のヒューズ素子、

303、304、305…第3のヒューズ素子。

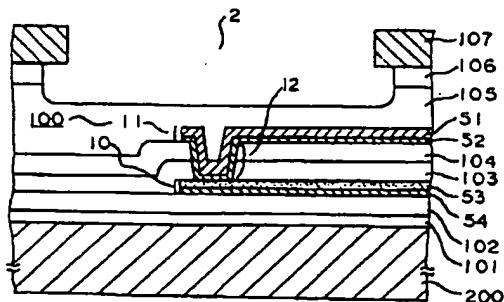
【図1】



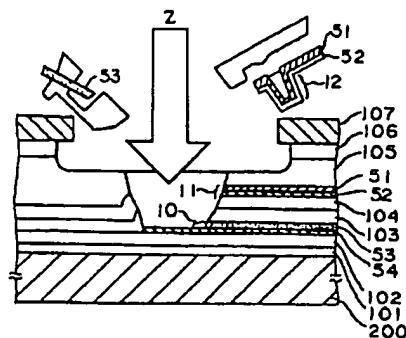
【図2】



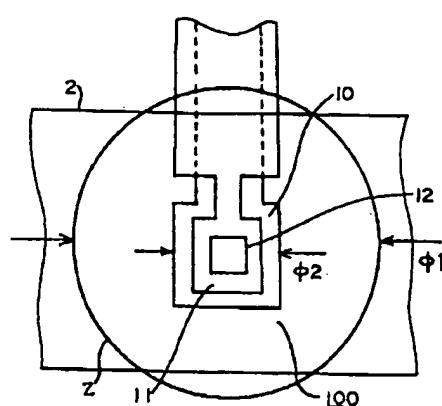
【図3】



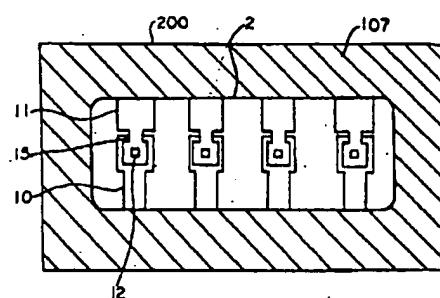
【図4】



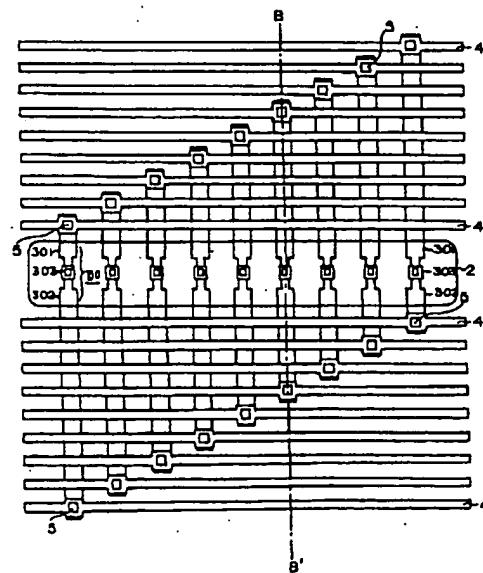
【図5】



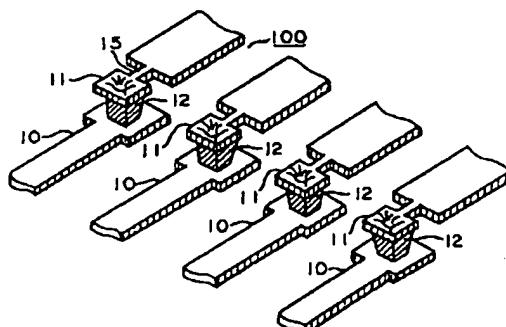
【図6】



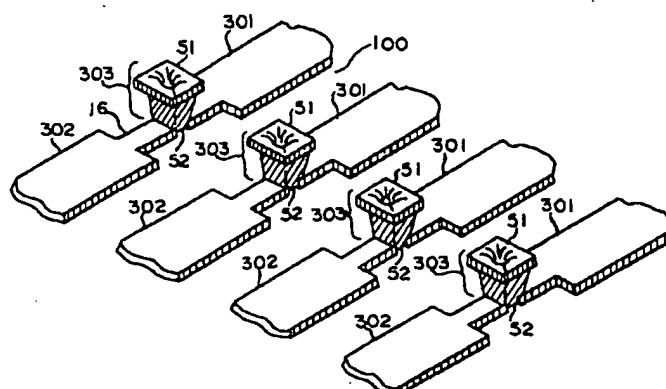
【図8】



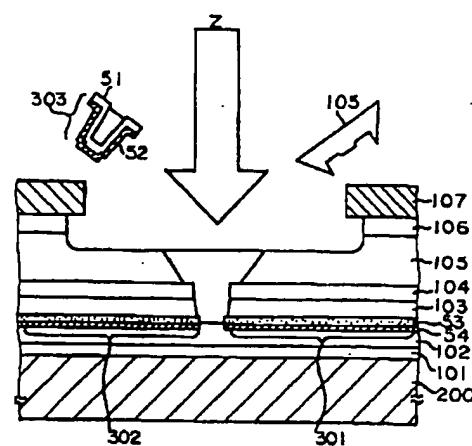
【図7】



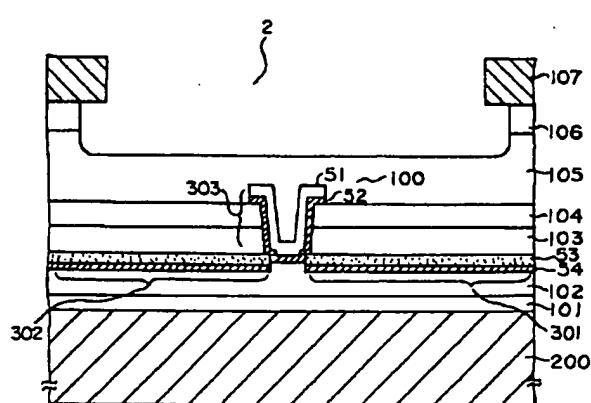
【図9】



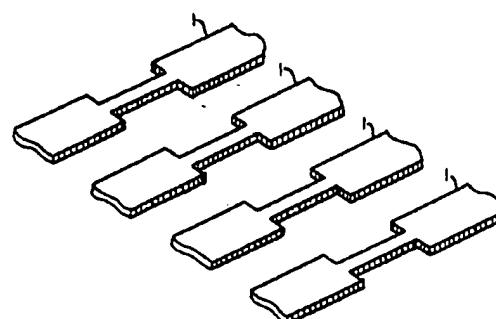
【図11】



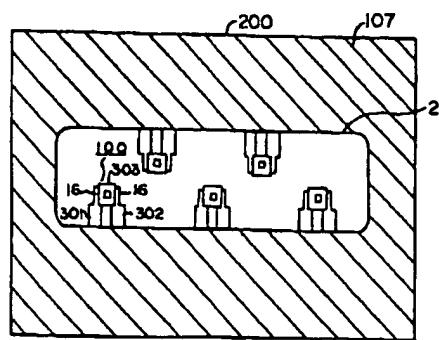
【図10】



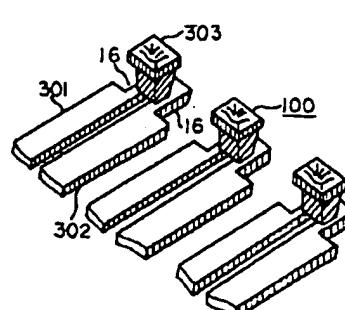
【図20】



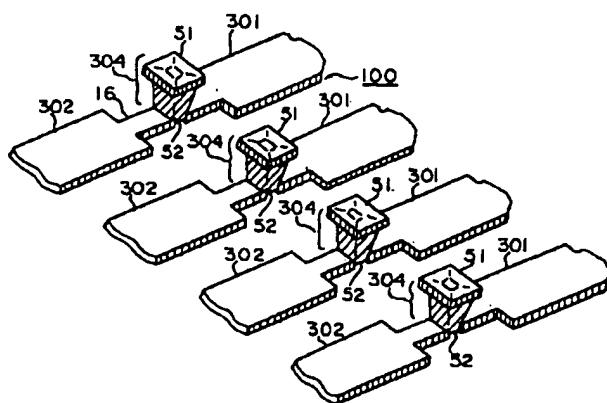
【図12】



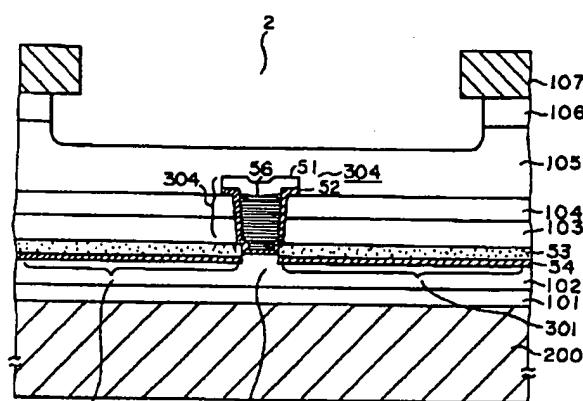
【図13】



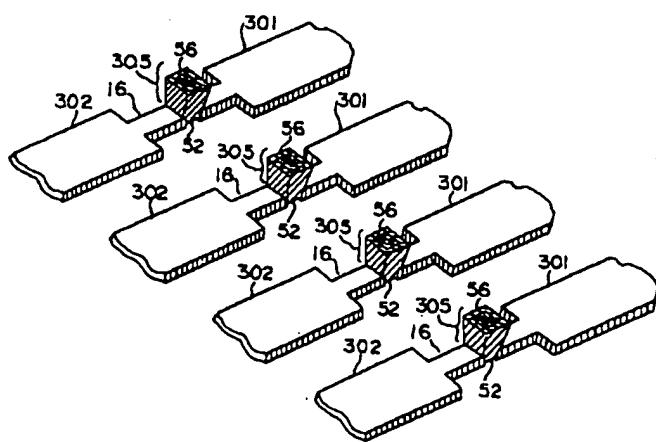
〔图14〕



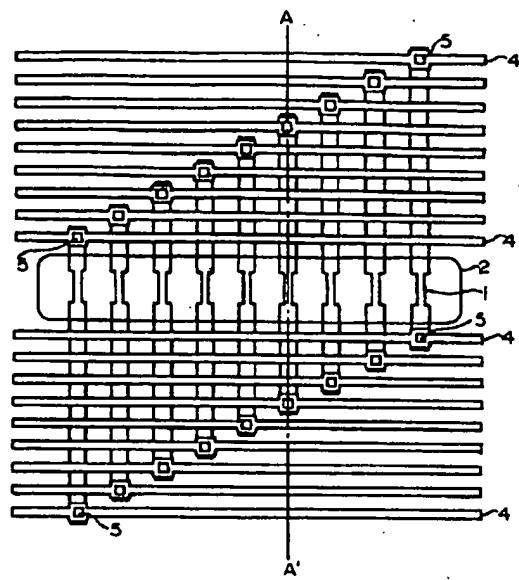
〔図15〕



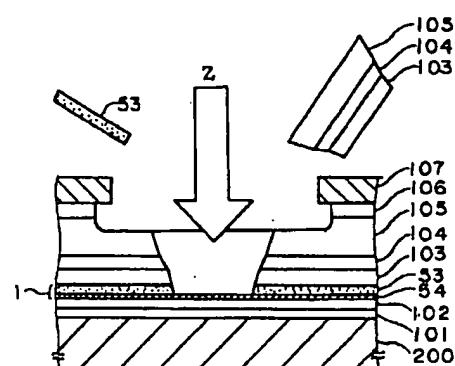
【图16】



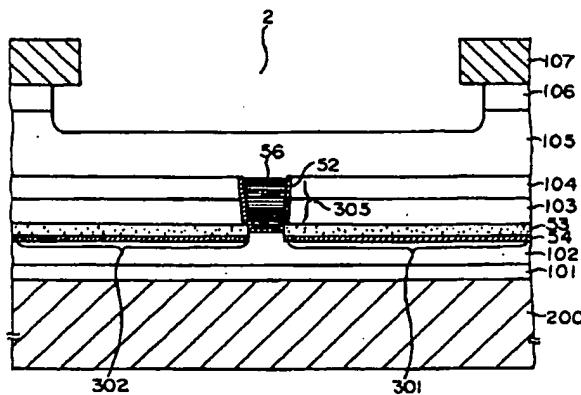
〔図19〕



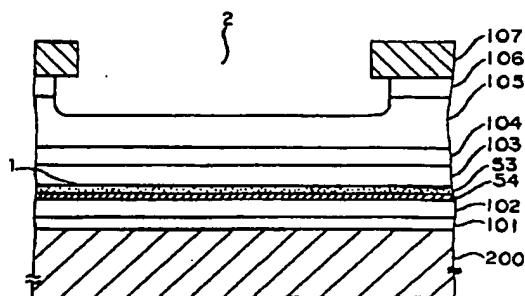
〔図22〕



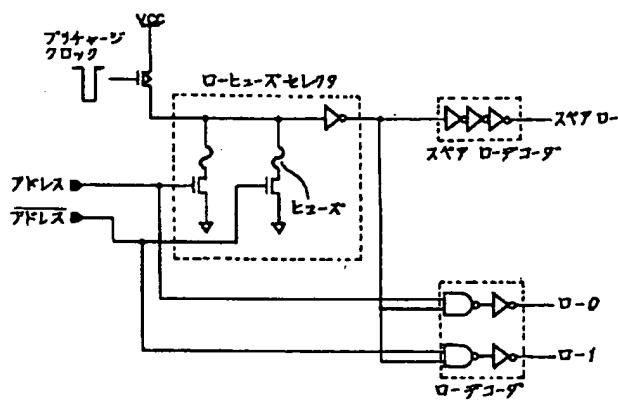
【図17】



【図21】



【図18】



001403

Printout Date: January 31, 2002

Sendingout Number: 9-5-2002-002275947

To: Su Kil Chang

Sendingout Date: January 30, 2002

(Kim & Chang Patent Law Office)

Submission Date: March 30, 2002

Hannuri Building, 219 Naeja-Dong, Chongro-Ku,  
Seoul

110-053

**PATENT OFFICE**

**NOTICE TO SUBMIT A STATEMENT OF OPINION**

Applicant	Designation	Kabushiki Kaisha Toshiba (Applicant Code: 519980849672)
	Address	1-Ko 1-Bang 1-Chome, Minato-Ku, Tokyo, Japan
Agent	Name	Su Kil Chang, Esq. and one other person
	Address	(Kim & Chang Patent Law Office) Hannuri Building, 219 Naeja-Dong, Chongro-Ku, Seoul
Application Number		10-2000-0012251
Title of Invention		Integrated Semiconductor Circuit and Method of Manufacturing Integrated Semiconductor Circuit

In accordance with the regulation stipulated in Article 63 of the Patent Law, this is to notify you that a review of the application above has been made and as a result, there were reasons for its denial as noted below. If you have a supplementary opinion or believe a revision is necessary, please submit a statement of opinion and/or a statement of compensation before the date of submission noted above. (The date of submission noted above can be extended, if requested, for the period of a month per each request. Please note that this office does not send a separate notice of approval for the request made for extension.)

[R e a s o n]

The invention for this application, described in the various sections of the entire scope of patent application, is one that can easily be invented prior to this application, as pointed out below by a person who possesses a routine knowledge of the technological field related to the invention. Therefore, patent can not be issued in accordance with the regulation stipulated in Section 2 of Article 29, Patent Law. This application is inadequate in the descriptions made in the scope of patent application, as pointed out below. Patent can not be issued as it does not satisfy the requirement stipulated by the regulation of Section 5, Article 42, Patent Law.

[B e l o w]

1. The invention of this application is related to the invention of integrated semiconductor circuit which is unique with a double fuse components and a double lining of fuses and the method of their manufacturing. However, components with similar functions have already been published in the Summary, Scope of Application, Example of Actual Use, Diagram 1 - 4 of the Japanese Patent Public Notice Pyong 10-261720 (open to public on September 29, 1996) and the Summary, Scope of Application, Diagram 1 - 7, and Diagram 12 of the Japanese Patent Public Notice Pyong 9-36234 (open to public on February 7, 1997). The invention of this application can easily be invented by publicly known technology described in the Japanese Patent Public Notice Pyong 10-261720 (open to public on September 29, 1996) and the Japanese Patent Public Notice Pyong 9-36234 (open to public on February 7, 1997) (Section 5, Article 42, Patent Law)

2. Section 4 of Scope of Patent Application is in violation of Section 5, Article 42, Patent Law and Section 6 (A subsequent clause which quotes more than 2 clauses may not quote another subsequent clause which quoted more than 2 clauses), Article 5, Patent Law Enforcing Ordinance (Method of Description of Scope of Patent Application) (Section 5, Article 42, Patent Law)

[Enclosures]

Enclosure 1 Japanese Patent Public Notice Pyong 10-261720 (open to public on September 29, 1996)

Enclosure 2 Japanese Patent Public Notice Pyong 9-36234 (open to public on February 7, 1997) The End

January 30, 2002

**PATENT OFFICE**

**4<sup>th</sup> Review Board**

Office of Semiconductor 1 Review Officer Sung Won BAN